

Patent No.: 6,166,952

1c996 U.S. PRO  
09/783183  
02/14/01



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patentee : Holger Sedlak  
Patent No. : 6,166,952  
Issued : December 26, 2000  
Title : Read-Only Memory and Method for Addressing the Same

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 195 45 557.6, filed December 6, 1995.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



For Applicants

WERNER H. STEMER  
REG. NO. 34,956

Date: February 14, 2001

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101  
/bb



JG996 U.S. PRO  
09/783183  
02/14/01

## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 195 45 557.6

**Anmeldetag:** 6. Dezember 1995

**Anmelder/Inhaber:** Siemens Aktiengesellschaft, München/DE

**Bezeichnung:** Festspeicher und Verfahren zur Ansteuerung desselben

**IPC:** G 11 C 17/08

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 14. November 2000  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

## Zusammenfassung

### Festspeicher und Verfahren zur Ansteuerung desselben

- 5 Es wird ein Festspeicher mit einer Vielzahl von Speicherzellen beschrieben, deren Inhalt unter entsprechender Ansteuerung durch Wort-, Bit- und Sourceleitungen (WL, BL, SL) auslesbar ist. Der beschriebene Festspeicher zeichnet sich dadurch aus, daß die über eine einzelne Wortleitung (WL) ansprechbaren Speicherzellen in eine Vielzahl von Gruppen aufgeteilt sind, von denen jeder eine separate gemeinsame Sourceleitung (SL) zugeordnet ist. Gemäß dem Verfahren wird ein gruppenweises Auslesen der über eine einzelne Wortleitung (WL) ansprechbaren Speicherzellen durchgeführt.
- 10

15

Figur 1

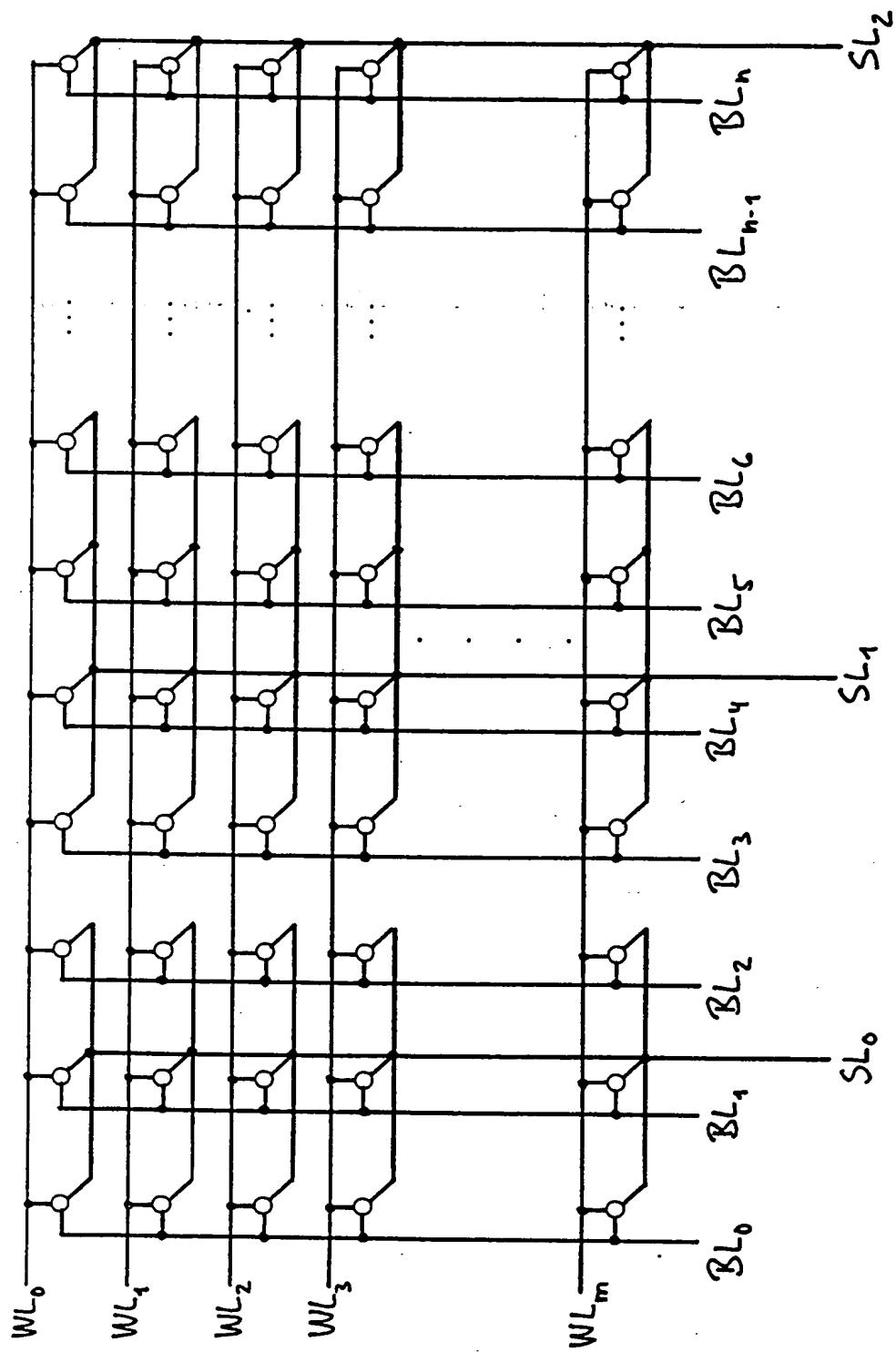


FIG 1

## Beschreibung

### Festspeicher und Verfahren zur Ansteuerung desselben

- 5 Die vorliegende Erfindung betrifft einen Festspeicher gemäß dem Oberbegriff des Patentanspruchs 1 sowie ein Verfahren zur Ansteuerung desselben gemäß dem Oberbegriff des Patentanspruchs 17.
- 10 Festspeicher (ROM, PROM, EPROM, EEPROM und dergleichen) und Verfahren zur Ansteuerung derselben sind seit langem bekannt.

Ein praktisches Beispiel des Aufbaus und der Ansteuerung eines herkömmlichen Festspeichers werden nachfolgend unter Bezugnahme auf die Figuren 3 und 4 anhand eines ROMs erläutert.

- Das beschriebene ROM weist eine Vielzahl von Speicherzellen auf, deren Inhalt unter entsprechender Ansteuerung durch Wort-, Bit- und Sourceleitungen auslesbar ist. Beim ROM handelt es sich im Gegensatz zu einigen anderen Arten von Festspeichern (beispielsweise EPROM und EEPROM) um Speicherzellen, deren Aufbau von der beim Auslesen bereitzustellenden Information ("0" oder "1") abhängt. Im einen Fall handelt es sich um einen Transistor, und im anderen Fall ist der Transistor ersatzlos gestrichen, und die sonst mit dem Transistor verbundenen Signalleitungen (Wort-, Bit- und Sourceleitungen) gehen ins Leere.
- 30 Die einen Transistor aufweisende ROM-Speicherzelle ist schematisch in Figur 3 gezeigt.

Sie weist, wie bereits erwähnt, einen Transistor, hier in Form eines Feldeffekttransistors T1 auf, dessen Sourceabschnitt mit einer Sourceleitung SL, dessen Drainabschnitt mit einer Bitleitung BL, und dessen Gateabschnitt mit einer Wortleitung WL verbunden ist.

Das Auslesen von "gespeicherten" Daten aus dem ROM funktioniert wie folgt:

- 5 Zunächst wird die Bitleitung mittels eines Vorlade- bzw. Prechargesignals auf ein bestimmtes Potential, beispielsweise auf ca. +4 V aufgeladen. Die Bitleitung und deren äußere Be-  
10 schaltung sind so ausgelegt, daß diese, sofern der Transistor gesperrt ist oder kein Transistor vorhanden ist, das Poten-  
tiel auch nach einer Unterbrechung der Verbindung zur Vorla-  
designalquelle beibehält.

Wird der Transistor in diesem Zustand zum Lesen angesprochen bzw. selektiert, d.h. wird über die Wortleitung eine Spannung  
15 von beispielsweise +5 V an den Gateabschnitt des Transistors gelegt und ist die Sourceleitung mit Masse verbunden, so wird der Speichertransistor leitend, und die auf der Bitleitung vermehrte vorhandenen Ladungsträger fließen über den Transi-  
20 stor auf Masse ab. Das Potential der Bitleitung sinkt dadurch auf 0 V.

Andererseits kann bei einer keinen Transistor aufweisenden Speicherzelle mangels Vorhandenseins des Transistors das durch die Vorladung auf die Bitleitung aufgebrachte Potential  
25 nicht abfließen, sondern bleibt im wesentlichen erhalten.

Die vom Speicherinhalt der jeweiligen Speicherzelle abhängen-  
den Potentiale der Bitleitung ermöglichen mithin, den Spei-  
cherinhalt zu bestimmen.

30 Wenngleich andere Arten von Festspeichern einen teilweise völlig andersartigen Aufbau der Speicherzellen aufweisen,  
weisen sie mit den ROM-Speicherzellen insofern Gemeinsamkei-  
ten auf, als sie an die selben Signalleitungen (Wortleitung,  
35 Bitleitung, Sourceleitung) angeschlossen sind und die Signalleitungen zum Lesen mit im wesentlichen den selben Signalen

beaufschlagt werden und eine Veränderung der Signale vergleichbare Auswirkungen hat.

Die Wortleitung kann wie beim EEPROM aus mehreren Signalleitungen (Auswahlleitung, Steuerleitung) bestehen, doch hierdurch ergibt sich keine grundlegende Veränderung des beschriebenen allgemeinen Ansteuerungsprinzips.

Die in der Figur 3 gezeigte Speicherzelle ist wie auch die Speicherzellen anderer Arten von Festspeichern bei Vorsehen einer entsprechenden Anzahl derselben zu einem Speicherzellenfeld zusammensetzbare.

Der Aufbau eines derartigen Speicherzellenfeldes ist in Figur 4 dargestellt.

Figur 4 ist eine schematische Darstellung eines Speicherzellenfeldes eines herkömmlichen Festspeichers.

Das gezeigte Speicherzellenfeld weist eine Vielzahl von jeweils mit einem "O" gekennzeichneten einzelnen Speicherzellen gemäß Figur 3 auf, die in mehreren (m) Reihen und mehreren (n) Spalten angeordnet sind.

Die n Elemente einer jeden Speicherzellenfeldreihe sind jeweils mit einer gemeinsamen Wortleitung  $WL_0$ ,  $WL_1 \dots WL_m$  (gegebenenfalls bestehend aus einer Auswahlleitung und einer Steuerleitung) verbunden. Die m Elemente einer jeden Speicherzellenfeldspalte sind jeweils mit einer gemeinsamen Bitleitung  $BL_0$ ,  $BL_1 \dots BL_n$  verbunden. Die Sourceleitungen SL aller Speicherzellen des Speicherzellenfeldes sind zu einer gemeinsamen Sourceleitung zusammengefaßt.

Die Verschaltung der Speicherzellen zu dem in der Figur 4 gezeigten matrixartig aufgebauten Speicherzellenfeld ermöglicht es, den Inhalt der Speicherzellen durch entsprechende Ansteuerung der Wort-, Bit- und Sourceleitungen unter relativ

geringem Steueraufwand einzeln aus dem Festspeicher auszugeben.

Gleichwohl ist jedoch der Stromverbrauch beim Lesen relativ  
5 hoch und dauert das Lesen relativ lange.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde,  
den Festspeicher gemäß dem Oberbegriff des Patentanspruchs 1  
bzw. das Verfahren zur Ansteuerung desselben gemäß dem Ober-  
10 begriff des Patentanspruchs 17 derart weiterzubilden, daß das  
Auslesen von Daten unter verringertem Energieverbrauch und  
schneller durchführbar ist.

Diese Aufgabe wird erfindungsgemäß durch die im kennzeichnen-  
15 den Teil des Patentanspruchs 1 bzw. durch die im kennzeich-  
nenden Teil des Patentanspruchs 17 beanspruchten Merkmale ge-  
löst.

Demnach ist vorgesehen, daß die über eine einzelne Wortlei-  
tung (WL) ansprechbaren Speicherzellen in eine Vielzahl von  
20 Gruppen aufgeteilt sind, von denen jeder eine separate ge-  
meinsame Sourceleitung (SL) zugeordnet ist (Patentanspruch 1)  
bzw. ein gruppenweises Auslesen der über eine einzelne Wort-  
leitung (WL) ansprechbaren Speicherzellen durchgeführt wird  
25 (Patentanspruch 17).

Diese Maßnahmen ermöglichen es, nur diejenigen Speicherzellen  
zum Auslesen anzusprechen, deren Inhalt auch aus dem Fest-  
speicher ausgegeben werden soll. Genauer gesagt sind beim  
30 Auslesen von Daten aus Speicherzellen gegebenenfalls statt-  
findende Entladevorgänge der vorgeladenen Bitleitungen selek-  
tiv auf ganz bestimmte Bereiche innerhalb einer Speicherzel-  
lenfeldreihe beschränkbar, was bisher aufgrund des Vorsehens  
von nur einer einzigen gemeinsamen Sourceleitung für alle  
35 Speicherzellen des Speicherzellenfeldes nicht möglich war  
(das Entladen der vorgeladenen Bitleitungen konnte nur in  
Einheiten von Speicherzellenfeldreihen erfolgen).

Legt man nämlich die Sourceleitung einer tatsächlich auszulesenden, d.h. auch auszugebenden Speicherzellengruppe auf ein zum Lesen geeignetes Potential (beispielsweise 0 V) und die  
5 Sourceleitung einer nicht unbedingt auszulesenden, d.h. nicht auszugebenden Speicherzellengruppe auf ein zum Lesen nicht geeignetes Potential (beispielsweise auf eine hohe Spannung von z.B. +5 V), so kann eine Entladung der vorgeladenen Bit-  
10 leitung(en) ausschließlich innerhalb der auszugebenden Spei-  
cherzellengruppen erfolgen, wohingegen innerhalb der (nicht auszulesenden) anderen Gruppen

15 1) kein Durchschalten eines oder mehrerer pro Speicher-  
zelle gegebenenfalls vorhandenen Transistors oder Transisto-  
ren, und

2) kein Entladen der vorgeladenen Bitleitungen erfolgt.

20 Dies führt ganz offensichtlich zu einer nicht unerheblichen Energieersparnis.

Dadurch, daß infolge des gruppenweisen Auslesens an nur je-  
weils relativ wenigen Speicherzellen eine Leseoperation  
durchgeführt wird, können die wenigen dabei erhaltenen Daten  
25 unter Weglassen des üblicherweise vorgesehenen Multiplexers unmittelbar auf in entsprechender Anzahl vorgesehene Daten-  
ausgabe- bzw. Busleitungen gegeben und von dort ohne zusätz-  
liche umständliche Auswahlverfahren und dergleichen aus dem Festspeicher ausgegeben werden.

30 Der Verzicht auf den Multiplexer führt zu weiteren Energie-  
einsparungen und zu einer erheblich früheren Ausgabe der zu  
lesenden Daten aus dem Festspeicher.

35 Das Auslesen von Daten aus dem Festspeicher ist mithin unter deutlich verringertem Energieverbrauch und erheblich schnel-  
ler durchführbar.

Der Festspeicher kann darüber hinaus - bedingt durch den möglichen Wegfall des äußerst aufwendigen Multiplexers - einfacher und kleiner hergestellt werden.

5

Vorteilhafte Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnungen näher erläutert.  
10 Es zeigen:

Figur 1 eine schematische Darstellung eines Ausführungsbeispiels des Aufbaus des Speicherzellenfeldes eines erfindungsgemäß ausgebildeten ROM,  
15

Figur 2 ein Ausführungsbeispiel einer Anordnung zum direkten Aufschalten von aus selektierten Speicherzellen eines ROM gelesenen Daten auf Datenausgabeleitunge eines Ausgabebusses,  
20

Figur 3 eine schematische Darstellung des Aufbaus einer ROM-Speicherzelle, und

Figur 4 eine schematische Darstellung des Aufbaus eines herkömmlichen ROM-Speicherzellenfeldes.  
25

Das in Figur 1 gezeigte Speicherzellenfeld besteht wie das in Figur 4 gezeigte herkömmliche Speicherzellenfeld aus einer  
30 Vielzahl von jeweils durch das Symbol "O" gekennzeichneten herkömmlichen Speicherzellen (beispielsweise Speicherzellen der in der Figur 3 gezeigten Art), die in einer Vielzahl ( $m$ ) von Reihen und einer Vielzahl ( $n$ ) von Spalten angeordnet sind.

35

Die  $n$  Elemente einer jeden Speicherzellenfeldreihe sind jeweils mit einer gemeinsamen Wortleitung  $WL_0, WL_1, \dots WL_m$

(gegebenenfalls bestehend aus einer Auswahlleitung und einer Steuerleitung) verbunden. Die m Elemente einer jeden Speicherzellenfeldspalte sind jeweils mit einer gemeinsamen Bitleitung  $BL_0$ ,  $BL_1 \dots BL_n$  verbunden.

5

Im Gegensatz zu dem in Figur 4 gezeigten herkömmlichen Speicherzellenfeld sind jedoch die Sourceleitungen SL der Speicherzellen nicht mehr zu einer für alle Speicherzellen des Speicherzellenfeldes gemeinsamen Sourceleitung zusammengefaßt.

10

Es ist vielmehr eine beliebige Vielzahl von separaten Sourceleitungen SL vorgesehen (in der Figur 1 sind beispielhaft  $SL_0$ ,  $SL_1$  und  $SL_2$  gezeigt), von denen jede einer bestimmten Gruppe von Speicherzellen innerhalb einer Speicherzellenfeldreihe zugeordnet ist. Anders ausgedrückt sind die Speicherzellen einer Speicherzellenfeldreihe in mehrere Gruppen aufgeteilt, von denen jede eine separate, aber für die Speicherzellen einer jeweiligen Gruppe gemeinsame Sourceleitung aufweist.

15

In der Regel wird eine Speicherzellengruppe in der Praxis so viele Speicherzellen enthalten wie ein Datenwort (beispielsweise ein Byte) Bits aufweist, und es wird pro Speicherzellenfeldreihe eine Vielzahl derartiger identischer Speicherzellengruppen nebeneinanderliegend (aneinander gereiht) vorgesehen sein.

25

30

35

Allgemein gesprochen kann jedoch jede Speicherzellenfeldreihe je nach Bedarf eine beliebige Vielzahl von Gruppen (mindestens zwei) aufweisen, welche gleich oder unterschiedlich groß sein können, eine beliebige Anzahl von Speicherzellen (mindestens eine) umfassen können, und deren einzelne Elemente bzw. Speicherzellen beliebig über die Speicherzellenfeldreihe verteilt sein können.

Eine der sich daraus ergebenden, vom genannten Regelfall abweichenden Möglichkeiten besteht dann beispielsweise darin, die Speicherzellen jedes x-ten Datenwortes innerhalb einer Speicherzellenfeldreihe zu einer Gruppe zusammenzufassen (um 5 beispielsweise nur Zeichen eines anzuzeigenden Textes, nicht aber die diesen jeweils zugeordneten Anzeigeattribute auslesen zu können).

In der Darstellung der Figur 1 sind drei Speicherzellengruppen 10 eingezeichnet. Die erste (gemäß Figur 1 linke) Gruppe besteht aus drei nebeneinander liegenden Speicherzellen, deren Sourceleitungen zu einer separaten gemeinsamen Sourceleitung SL<sub>0</sub> zusammengefaßt sind. Die sich daran anschließende zweite 15 (gemäß Figur 1 mittlere) Gruppe besteht aus vier nebeneinander liegenden Speicherzellen, deren Sourceleitungen zu einer separaten gemeinsamen Sourceleitung SL<sub>1</sub> zusammengefaßt sind. Die dritte (gemäß Figur 1 rechte) Gruppe besteht aus zwei nebeneinander liegenden Speicherzellen, deren Sourceleitungen 20 zu einer separaten gemeinsamen Sourceleitung SL<sub>2</sub> zusammengefaßt sind.

Die Gruppeneinteilung ist im gezeigten Ausführungsbeispiel für alle Speicherzellenfeldreihen gleich. Die jeweiligen gemeinsamen Sourceleitungen der einander entsprechenden Gruppen 25 in verschiedenen Speicherzellenfeldreihen sind miteinander verbunden. Ein derartiger Aufbau begrenzt zwar den zur Speicherzellenfeldrealisierung erforderlichen Aufwand, ist aber selbstverständlich nicht zwingend. Es kann vielmehr jede Speicherzellenfeldreihe völlig unabhängig von den anderen 30 Reihen beliebig unterteilt werden, und die Sourceleitungen der jeweiligen Gruppen können völlig unabhängig voneinander verlegt und angesteuert werden.

Die beschriebene Gestaltung des Speicherzellenfeldes ermöglicht 35 (unter Verwendung einer entsprechenden Steuervorrichtung) ein gruppenweises Ansprechen (Selektieren) der über eine einzelne Wortleitung adressierbaren Speicherzellen, wo-

bei einer Gruppe, wie vorstehend bereits angedeutet im Extremfall auch nur aus einer einzigen Speicherzelle bestehen kann.

Dies wirkt sich insbesondere beim Auslesen von Daten äußerst vorteilhaft aus, denn bei herkömmlichen Speicherzellenfeldern war, wie eingangs bereits erwähnt, das Auslesen von Daten aus Speicherzellen (im Gegensatz zum Ausgeben von Daten aus dem Festspeicher) nur in (unter Umständen sehr großen) Einheiten von Speicherzellenfeldreihen möglich.

10

Ein selektives Auslesen aus einer einzelnen Gruppe innerhalb einer Speicherzellenfeldreihe erfolgt weitgehend wie bei herkömmlichen Festspeichern (siehe Figur 3 und darauf bezugnehmende Beschreibung).

15

Im Unterschied zu herkömmlichen Festspeichern werden (über die entsprechende(n) Sourceleitung(en) jedoch nur diejenigen Sourceanschlüsse mit den zum Lesen erforderlichen Spannung (im vorliegenden Ausführungsbeispiel 0 V) beaufschlagt, die tatsächlich auch ausgegeben bzw. zur Ausgabe benötigt werden. Die nicht auszugebenden bzw. nicht zur Ausgabe benötigten Speicherelemente der betreffenden Speicherzellenfeldreihe werden mit einer zum Lesen, genauer gesagt zum Entladen der vorgeladenen Bitleitung über einen oder mehrere Transistoren nicht geeigneten Sourcespannung (im vorliegenden Beispiel eine hohe Spannung von beispielsweise +5 V) beaufschlagt.

Da einerseits nur die Transistoren der tatsächlich interessierenden Speicherzellen auf Durchgang geschaltet und folglich andererseits auch nur diejenigen Bitleitungen entladen werden, deren Zustand für die Ausgabe von Interesse ist, reduziert sich der Energieverbrauch beim Auslesen von Daten auf ein Bruchteil dessen, was beim Auslesen von Daten aus einem herkömmlichen Festspeicher erforderlich ist.

35

Die Tatsache, daß die Bitleitungen der nicht interessierenden Speicherzellen beim Lesen der interessierenden Daten nicht

## 10

entladen werden, kann auch nutzbringend dafür eingesetzt werden, daß die gelesenen Daten der mittels der Sourceleitungen selektierten Speicherzellen (im Gegensatz zu den Daten der jeweils nicht selektierten Speicherzellen) auf Busleitungen legbar sind, über welche die Daten unmittelbar, d.h. ohne Zwischenschaltung des üblicherweise vorgesehenen Multiplexers oder dergleichen aus dem Festspeicher ausgegeben werden können.

- 10 Dieser äußerst vorteilhafte Effekt wird nachfolgend anhand der Figur 2 erläutert.

Die Figur 2 veranschaulicht, wie in Abhängigkeit vom Zustand der Bitleitung einer selektierten Speicherzelle ein Signal 15 auf eine Ausgabebusleitung bringbar ist.

Bei den nachfolgenden Erläuterung wird aus Gründen der Anschaulichkeit von den folgenden Voraussetzungen ausgegangen:

- 20 Es sei angenommen, daß die  $n$  Elemente einer jeden der in Figur 1 gezeigten  $m$  Speicherzellenfeldreihen in  $i$  gleich große Gruppen aufgeteilt sei, wobei jede Gruppe eine Anzahl von Speicherzellen aufweisen möge, die der Anzahl von Bits der gespeicherten Datenworte entspricht. Die Datenworte seien im vorliegenden Ausführungsbeispiel Bytes, so daß jeden der  $i$  Gruppen aus  $j=8$  Speicherzellen besteht.

- Von den 8 Speicherzellen der  $m * i$  Gruppen ist eine jeweils 30 erste Speicherzelle einer ersten Busleitung, eine jeweils zweite Speicherzelle einer zweiten Busleitung, eine jeweils dritte Speicherzelle einer dritten Busleitung, eine jeweils vierte Speicherzelle einer vierten Busleitung, eine jeweils fünfte Speicherzelle einer fünften Busleitung, eine jeweils sechste Speicherzelle einer sechsten Busleitung, eine jeweils 35 siebte Speicherzelle einer siebten Busleitung, und eine jeweils achte Speicherzelle einer achten Busleitung zugeordnet.

## 11

Die Anschaltung einer x-ten Speicherzelle einer beliebigen Gruppe an die x-te Busleitung ist in Figur 2 für ein ROM veranschaulicht; die Verwendung anderer Festspeicher erfordern unter Umständen entsprechend den unterschiedlichen Gegebenheiten geringfügige Modifikationen.

Gemäß Figur 2 weist die Anordnung NMOS-Feldeffekttransistoren T1 und T2, PMOS-Feldeffekttransistoren T3, T4 und T5 und Inverter I1, I2 und I3 auf, die in der gezeigten Weise mit der Wortleitung WL, der Bitleitung BL, der Sourceleitung SL einer Busleitung BUS, einer Vorlade- bzw. Prechargeleitung PC und einer Spannung  $V_{DD}$  von beispielsweise ca. 5 V verbunden sind.

Der Transistor T1 ist der in der Figur 3 gezeigte ROM-Speicherzellentransistor.

Zu Beginn eines jeden Lesezyklus wird an die Vorladeleitung kurzzeitig eine niedrige Spannung von beispielsweise 0 V gelegt. Dies bewirkt, daß einerseits die Busleitungen BUS über den dann durchschaltenden Transistor T2 auf Massepotential gezogen werden (der eine Inverter I1 kann hierzu über jeweilige Transistoren T2 mit allen vorhandenen Busleitungen in der gezeigten Weise verbunden sein), und daß andererseits die Bitleitung BL über den dann durchschaltenden Transistor T3 auf das Potential  $V_{DD}$  angehoben wird.

Die an die Busleitung BUS angeschlossenen Inverter I2 und I3 bilden ein Halteglied, die das Potential der Busleitung bei Zurückfallen des Transistors T2 in den Sperrzustand auf Massepotential hält (ein derartiges Halteglied ist für jede der Busleitungen vorgesehen). Der Inverter I2 ist dabei jeweils schwach im Verhältnis zum Transistor T5.

Die Bitleitung BL behält ihr Potential bei Zurückfallen des Transistors T3 in den Sperrzustand ebenfalls bei, denn das am Gateanschluß des Transistors T4 anliegende Buspotential

12

(Masse) schaltet über den Transistor T4 die Spannung  $V_{DD}$  auf die Bitleitung.

Der beschriebene Vorgang ist für alle Speicherzellen eines  
5 Speicherfeldes der selbe.

Es wird nun zunächst das Aufschalten eines gespeicherten Datums von einer selektierten Speicherzelle (die Wortleitung WL liegt auf einer zum Lesen geeigneten Spannung von beispielsweise +5 V, die Sourceleitung SL liegt auf einer ebenfalls zum Lesen geeigneten Spannung von beispielsweise 0 V bzw. auf Masse) auf die Busleitung BUS beschrieben.

Der Transistor T1 entspricht dem in Figur 3 gezeigten herkömmlichen ROM-Speicherzellentransistor.

Bei Beaufschlagung (Selektieren) desselben mit den genannten Signalen über die Wortleitung WL und die Sourceleitung SL wird er leitend und zieht die Bitleitung aktiv auf das  
20 Sourceleitungspotential (Masse), da der Transistor T1 stark im Verhältnis zum Transistor T4 ist.

Durch die Potentialänderung der Bitleitung wird der Transistor T5 leitend und schaltet  $V_{DD}$  auf den Bus. Durch das  
25 Durchschalten des Transistors T5 wird der Transistor T4 sperrend, so daß die Bitleitung BL dann über den Transistor T1 sicher auf Masse liegt.

Im Fall der Selektion einer einen Transistor T1 aufweisenden  
30 Speicherzelle wird also die Busleitung BUS auf hohes Potential gelegt, welches durch den Transistor aktiv getrieben ist.

Im Fall der Selektion einer keinen Transistor aufweisenden ROM-Speicherzelle liegt der Zustand vor, wie er nach dem Anlegen des Vorladespannung über die Vorladeleitung PC vorlag, denn ohne Transistor T1 kann die durch den Transistor T4 ak-

13

tiv auf hohem Potential gehaltene Bitleitung BL nicht entladen werden. D.h., im Fall der Selektion einer keinen Transistor T1 aufweisenden ROM-Speicherzelle bleibt die Busleitung BUS auf Massepotential.

5

An der Busleitung BUS hängen, wie vorstehend bereits erwähnt, eine Vielzahl weiterer Speicherzellen aus anderen Gruppen (eine Speicherzelle pro anderer Gruppe), die sich jedoch bis auf die eine soeben beschriebene Speicherzelle alle im nicht selektierten Zustand befinden mögen.

10

Zur Gewährleistung der bestimmungsgemäßen Funktion der in der Figur 2 gezeigten Schaltung dürfen die nicht selektierten Speicherzellen keinen Einfluß auf die Busleitung BUS ausüben, da sie anderenfalls die durch die selektierten Speicherzellen aufgebrachten Daten verändern könnten.

15

Daß dies bei der in der Figur 2 gezeigten Anordnung trotz deren einfachen Aufbaus tatsächlich jeweils automatisch der Fall ist, wird nachfolgend erläutert.

20

Eine Speicherzelle ist nicht selektiert, wenn die Sourceleitung hohen Pegel hat und/oder wenn die Wortleitung niedrigen Pegel hat. Eine dieser Bedingungen (teilweise auch beide Bedingungen) sind bei allen Speicherzellen erfüllt, die entweder zwar in der durch die Wortleitung ausgewählten Speicherzellenfeldreihe, aber nicht in der durch die Sourceleitung ausgewählten Gruppe liegen oder in einer nicht ausgewählten Speicherzellenfeldreihe liegen.

25

Wenn eine einen Transistor T1 aufweisende Speicherzelle mit den bei einer Nicht-Selektion vorliegenden Wortleitungs- und Sourceleitungspotentialen beaufschlagt wird, bleibt der Transistor entweder gesperrt (bei niedrigem Wortleitungspotential) oder die Bitleitung wird über den Transistor mit dem hohen Sourceleitungspotential verbunden.

14

In beiden Fällen kann die Bitleitung nicht entladen werden, sondern bleibt auf dem anfänglichen (vorgeladenen) hohen Potential, welches den Transistor T5 sperrt und damit eine aktive Beeinflussung der Busleitung ausschließt.

5

Eine einen Transistor T1 aufweisende Speicherzelle verhält sich im nicht selektierten Zustand also neutral zu der ihr zugeordneten Busleitung.

- 10 Gleiches gilt auch für eine keinen Transistor T1 aufweisende Speicherzelle, denn mangels Vorhandenseins des Transistors T1 kann die Bitleitung BL unabhängig vom Selektionszustand der Speicherzelle nicht aktiv entladen werden, so daß auch hier der Transistor T5 gesperrt bleibt und damit eine aktive  
15 Beeinflussung der Busleitung ausgeschlossen ist.

Eine keinen Transistor T1 aufweisende Speicherzelle verhält sich im nicht selektierten Zustand also ebenfalls neutral zu der ihr zugeordneten Busleitung.

20

Obwohl also an jede Busleitung so viele Speicherzellen geschlossen sind wie Gruppen innerhalb des Speicherzellenfeldes existieren, kann einzig und allein die selektierte Gruppe den gespeicherten Daten entsprechende Signale auf den Bus bringen.  
25

- Auf den üblicherweise vorgesehenen Multiplexer, durch den bei jedem Lesezyklus unter den einer vollständigen Speicherzellenfeldreihe entsprechenden gelesenen Daten diejenigen Daten  
30 ausgewählt werden mußten, die tatsächlich auch auszugeben sind, kann folglich verzichtet werden.

- Zwar ist bei der beschriebenen Anordnung und dem beschriebenen Ansteuerverfahren ein Decoder vorzusehen, der anhand der  
35 aus dem Speicher auszulesenden Adresse die zu selektierende Gruppe bestimmt, d.h. die Gruppe bestimmt, deren Sourceleitung im Gegensatz zu allen anderen Sourceleitungen mit einem

15

zum Lesen geeigneten Potential zu beaufschlagen ist, doch sind derartige Decoder äußerst einfach und klein aufzubauen, so daß der dadurch in Kauf zu nehmenden Aufwand völlig vernachlässigbar ist.

5

Die vorstehende Beschreibung, insbesondere die der Figur 2, bezog sich in erster Linie darauf, daß alle Speicherzellengruppen eines Speicherzellenfeldes gleich groß sind. Dies ist jedoch keine notwendige Bedingung. Die Speicherzellengruppen können vielmehr voneinander verschieden und beliebig groß sein. Die Anzahl der Speicherzellen der größten Speicherzellengruppe sollte dann jedoch der Anzahl der wie beschrieben bereitgestellten Busleitungen entsprechen.

15 Bemerkenswert und vorteilhaft einsetzbar ist auch der Effekt, daß die Busleitung dann, wenn sie gleichzeitig mit mehreren selektierten Speicherzellen (aus der selben oder verschiedenen Speicherzellengruppen) verbunden ist, gleichzeitig die Funktion eines ODER- oder EXKLUSIV-ODER-Gliedes übernehmen  
20 kann.

Der Aufbau des erfindungsgemäßen Festspeichers und das erfindungsgemäße Verfahren zur Ansteuerung desselben wurde vorstehend anhand eines ROM erläutert. Die selben Wirkungen und Vorteile der beschriebenen Maßnahmen lassen sich jedoch auch bei Vorsehen derselben in anderen Arten von Festspeichern (PROM, EPROM, EEPROM etc.) erzielen.

**Patentansprüche**

1. Festspeicher mit einer Vielzahl von Speicherzellen, deren Inhalt unter entsprechender Ansteuerung durch Wort-, Bit- und Sourceleitungen (WL, BL, SL) auslesbar ist,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß die über eine einzelne Wortleitung (WL) ansprechbaren Speicherzellen in eine Vielzahl von Gruppen aufgeteilt sind, von denen jeder eine separate gemeinsame Sourceleitung (SL)  
zugeordnet ist.
2. Festspeicher nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß die Speicherzellen zumindest teilweise jeweils aus minde-  
stens einem Transistor (T1) bestehen.
3. Festspeicher nach Anspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß die Speicherzellen jeweils mit einer Wortleitung (WL), einer Bitleitung (BL) und einer Sourceleitung (SL) verbunden sind.
4. Festspeicher nach einem der vorhergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß in der selben Reihe des Speicherzellenfeldes vorgesehene Speicherzellen jeweils mit den selben Wortleitungen (WL) ver-  
bunden sind.
5. Festspeicher nach einem der vorhergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß in der selben Spalte des Speicherzellenfeldes vorgesehene Speicherzellen jeweils mit der selben Bitleitung (BL) verbun-  
den sind.
- 35 6. Festspeicher nach einem der vorhergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,

daß in der selben Spalte des Speicherzellenfeldes vorgesehene Speicherzellen jeweils mit der selben Sourceleitung (SL) verbunden sind.

- 5 7. Festspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Speicherzelle zur Speicherung eines Datenbits ausgelegt ist.
- 10 8. Festspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Speicherzellengruppe zur Speicherung eines aus beliebig vielen Datenbits bestehenden Datenworts ausgelegt ist.
- 15 9. Festspeicher nach Anspruch 8, dadurch gekennzeichnet, daß das Datenwort ein Datenbyte ist.
- 20 10. Festspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Speicherzellen einer Speicherzellengruppe beliebig über eine Speicherzellenfeldreihe verteilt sind.
- 25 11. Festspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Speicherzellengruppen einer Speicherzellenfeldreihe gleich oder unterschiedlich groß sind.
- 30 12. Festspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Datenausgabeleitungen (BUS) vorgesehen sind, von denen jede über eine separate Aufschaltvorrichtung (T5) jeweils mit einer Bitleitung (BL) pro Speicherzellengruppe verbunden ist.
- 35 13. Festspeicher nach Anspruch 12, dadurch gekennzeichnet,

22  
10.10.06

18

daß jede Speicherzelle mit genau einer Datenausgabeleitung (BUS) verbunden ist.

14. Festspeicher nach Anspruch 12 oder 13,

5 durch gekennzeichnet,  
daß die Datenausgabeleitungen (BUS) in einer Anzahl vorgesehen sind, die der Anzahl der Speicherzellen in der größten Speicherzellengruppe entspricht.

10 15. Festspeicher nach einem der Ansprüche 12 bis 14,

durch gekennzeichnet,

daß die Aufschaltvorrichtungen (T5) derart ausgebildet sind,  
daß von den mit einer Datenausgabeleitung (BUS) verbundenen Speicherzellen nur selektierte Speicherzellen aktiv ein Signal auf die Datenausgabeleitung schalten können.

16. Festspeicher nach Anspruch 15,

durch gekennzeichnet,

20 daß die Aufschaltvorrichtungen (T5) jeweils derart ausgebildet sind, daß sie aktiv ein Signal auf die entsprechende Datenausgabeleitung (BUS) schalten, wenn die jeweils zugeordnete Bitleitung ihr Potential in einer vorbestimmten Richtung verändert.

25 17. Verfahren zur Ansteuerung eines Festspeicher nach einem der Ansprüche 1 bis 16,

gekennzeichnet durch

Durchführen eines gruppenweisen Auslesens der über eine einzelne Wortleitung (WL) ansprechbaren Speicherzellen.

30

18. Verfahren nach Anspruch 17,

durch gekennzeichnet,

daß nur diejenigen Speicherzellen ausgelesen werden, deren Inhalt anschließend auch aus dem Festspeicher ausgegeben wird.

35 19. Verfahren nach Anspruch 17 oder 18,

000-100-000

19

d a d u r c h g e k e n n z e i c h n e t ,  
daß die Daten von nur jeweils einer Speicherzellengruppe aus-  
gelesen werden.

- 5 20. Verfahren nach einem der Ansprüche 17 bis 19,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß an die Sourceleitung (SL) einer auszulesenden Speicher-  
zellengruppe eine zur Veränderung des Potentials der zugeord-  
neten Bitleitungen geeignete Spannung angelegt wird.

10

21. Verfahren nach einem der Ansprüche 17 bis 20,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß die Sourceleitungen der nicht auszulesenden Speicherzel-  
lengruppen eine das Potential der zugeordneten Bitleitungen  
15 nicht verändern könnende Spannung angelegt wird.

00-10-05

24

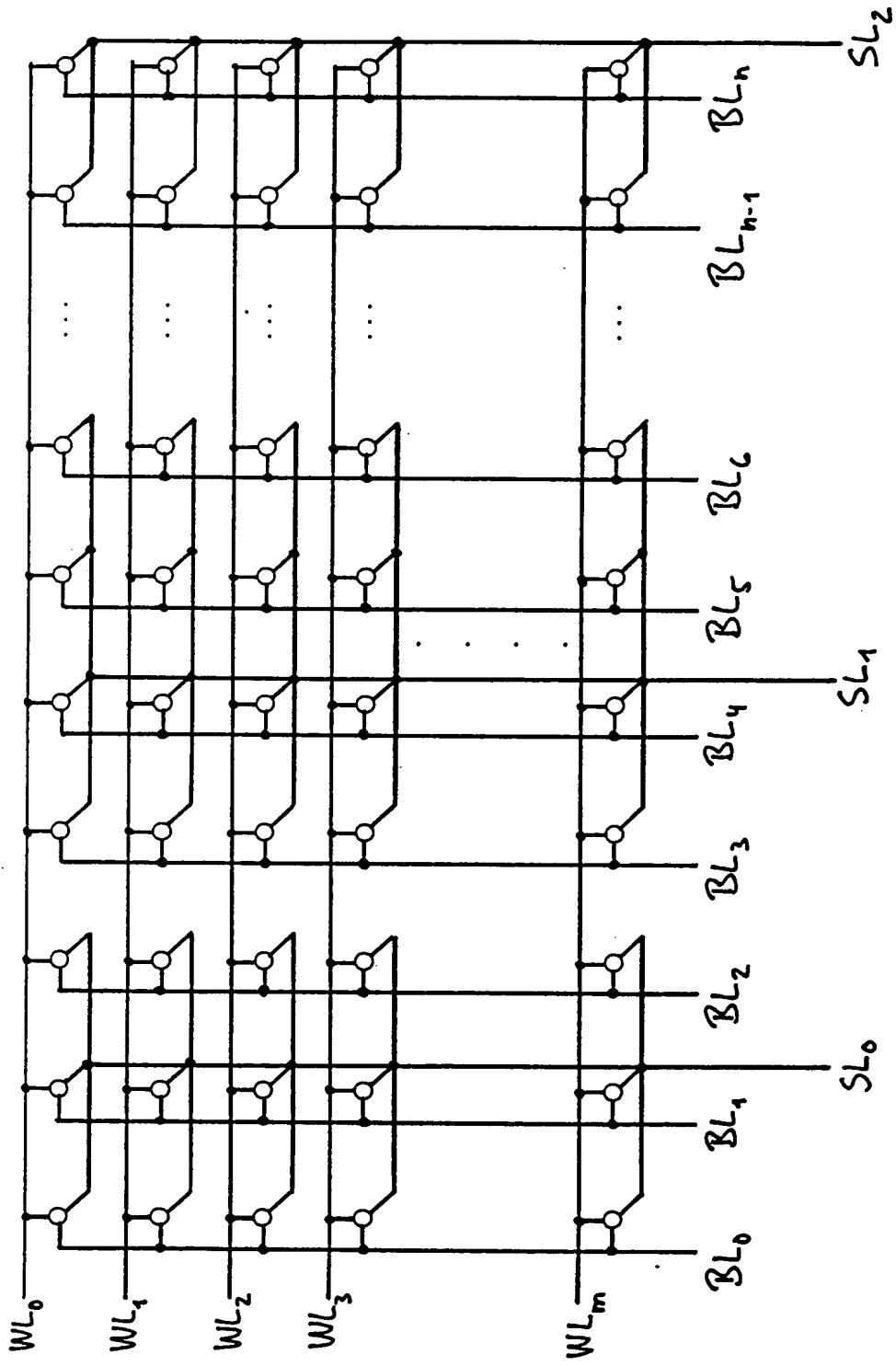


FIG 1

06.10.95

25

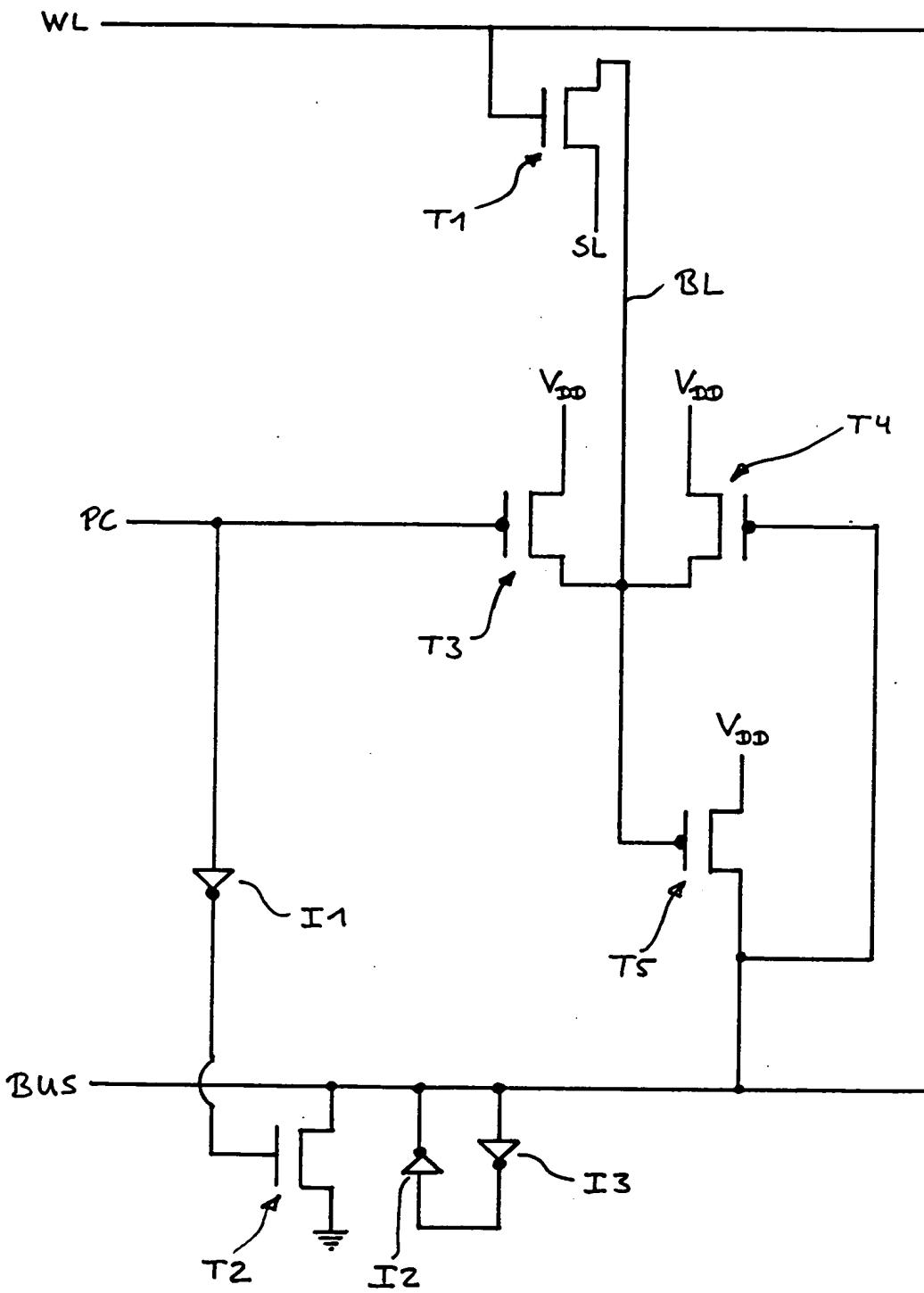
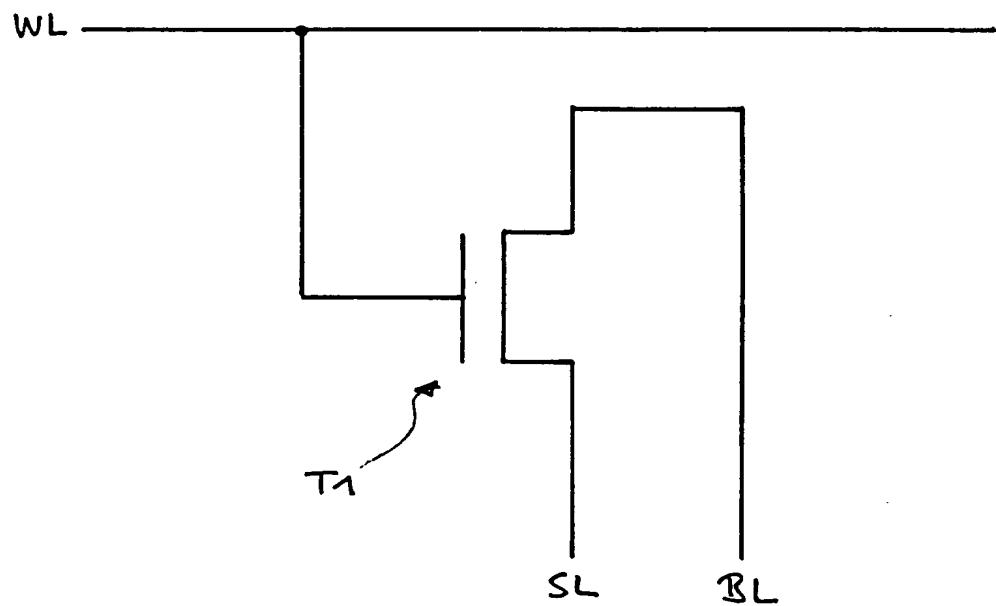


FIG 2

GR 95 P 2133 DE

06.12.95

26



**FIG 3**

08.10.96.

27

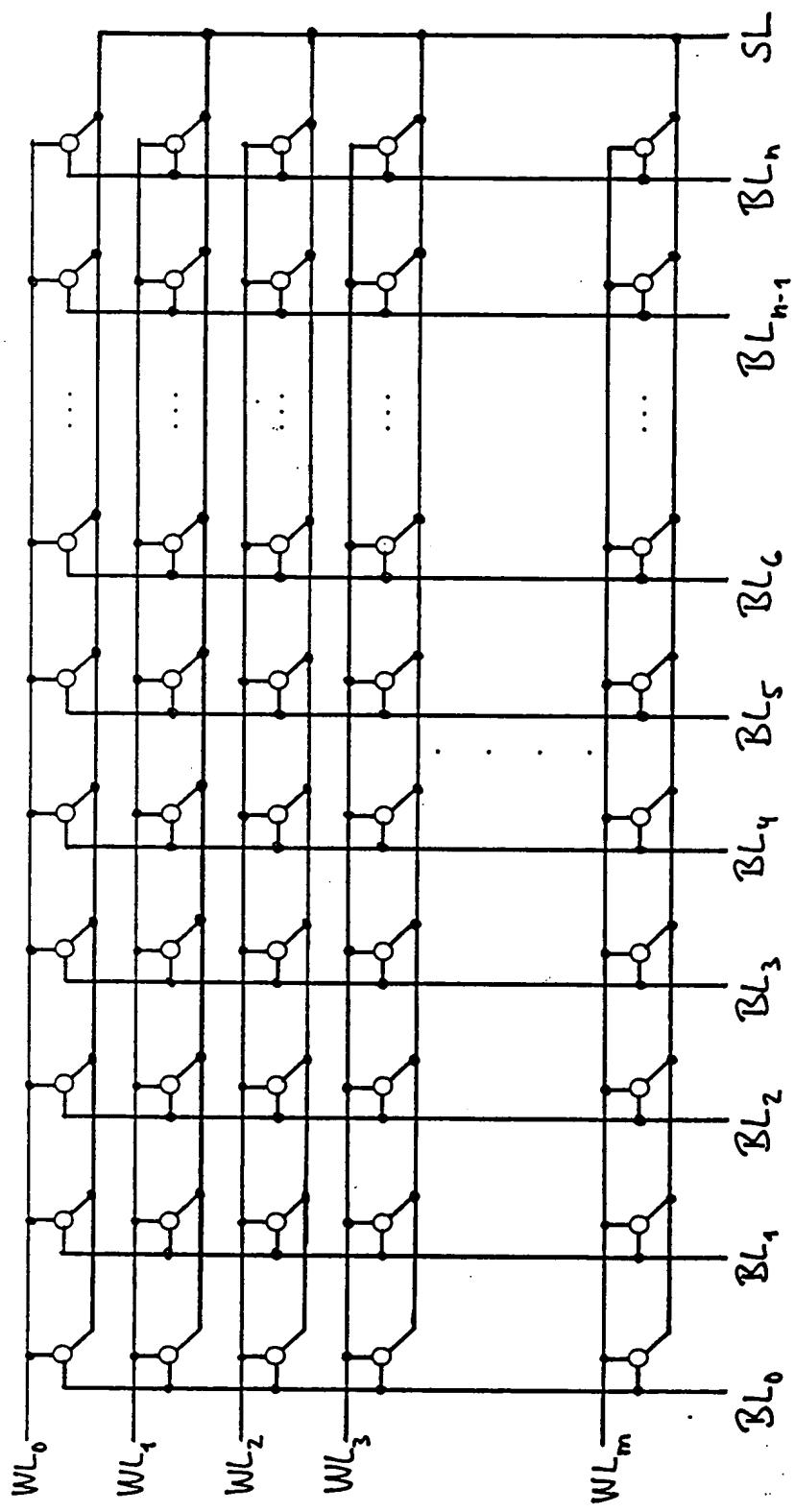


FIG 4